

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: NOGUCHI et al.
Serial Number: To Be Assigned
Filing Date: To Be Assigned
Title: Electronic Device and Method
of Fabricating the Same

Art Unit No.: To Be Assigned
Examiner: To Be Assigned
Att'y Docket: WASH5914

CERTIFICATE OF EXPRESS MAIL 37 CFR 1.10

I hereby certify that this patent application is being deposited with the United States Postal Service as Express Mail No. EO 902 822 468 US, in an envelope addressed to: Assistant Commissioner for Patents, PO Box 1450 Alexandria, VA 22313-1450, MAIL STOP PATENT APPLICATION on February 24, 2004.


(Signature of Person Mailing Document(s))

ALAN W. YOUNG
Printed Name

Honorable Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

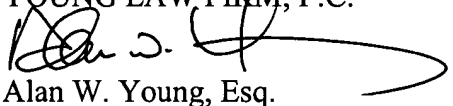
Sir:

Included herewith, please find:

1) Ribbon Copy of priority document **JP2003-369837** filed on **October 30, 2003** in the name of **TDK Corporation**

Respectfully submitted,

YOUNG LAW FIRM, P.C.


Alan W. Young, Esq.

Attorney for Applicants

Registration No. 37,970

4370 Alpine Road, Suite 106

Portola Valley, CA 94028

Telephone: (650) 851-7210

Facsimile: (650) 851-7232

Date: February 24, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 3 0 日
Date of Application:

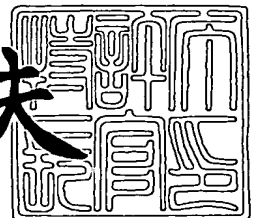
出 願 番 号 特 願 2 0 0 3 - 3 6 9 8 3 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 6 9 8 3 7]

出 願 人 T D K 株 式 会 社
Applicant(s):

2 0 0 4 年 1 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 99P06344
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/02
【発明者】
 【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 T D K 株式会社内
 【氏名】 野口 隆男
【発明者】
 【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 T D K 株式会社内
 【氏名】 斉藤 久俊
【特許出願人】
 【識別番号】 000003067
 【氏名又は名称】 T D K 株式会社
【代理人】
 【識別番号】 100115738
 【弁理士】
 【氏名又は名称】 鷲頭 光宏
【手数料の表示】
 【予納台帳番号】 215327
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

基板と、前記基板上に設けられた下部導電体膜と、前記下部導電体膜上に設けられた機能膜とを備える電子デバイスであって、前記基板側における前記下部導電体膜の密着力が 0.1 N/cm 以上であることを特徴とする電子デバイス。

【請求項 2】

前記密着力が 1 N/cm 以上であることを特徴とする請求項 1 に記載の電子デバイス。

【請求項 3】

前記下部導電体膜が面心立方構造の (111) 面又は最密六方構造の (0001) 面に単一配向した金属薄膜であり、前記機能膜がウルツァイト型結晶構造を有する圧電材料によって構成されていることを特徴とする請求項 1 又は 2 に記載の電子デバイス。

【請求項 4】

前記基板と前記下部導電体膜との間に設けられた密着配向制御薄膜をさらに備えることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電子デバイス。

【請求項 5】

前記密着配向制御薄膜がウルツァイト型結晶構造を有する結晶によって構成されていることを特徴とする請求項 4 に記載の電子デバイス。

【請求項 6】

前記密着配向制御薄膜は、 (0001) 面が前記基板の表面と平行になるように配向した (0001) 配向膜であることを特徴とする請求項 5 に記載の電子デバイス。

【請求項 7】

前記密着配向制御薄膜が $A1\text{N}$ によって構成されていることを特徴とする請求項 5 又は 6 に記載の電子デバイス。

【請求項 8】

前記下部導電体膜及び前記機能膜の X 線ロックンクカーブの半値幅がいずれも 5° 以下であることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の電子デバイス。

【請求項 9】

前記下部導電体膜及び前記機能膜の X 線ロックンクカーブの半値幅がいずれも 3° 以下であることを特徴とする請求項 8 に記載の電子デバイス。

【請求項 10】

前記機能膜上に設けられた上部導電体膜をさらに備え、前記下部導電体膜、前記機能膜及び前記上部導電体膜によって薄膜バルク振動子を構成していることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の電子デバイス。

【請求項 11】

前記基板の表面に音響多層膜が設けられていることを特徴とする請求項 10 に記載の電子デバイス。

【請求項 12】

基板上に 0.1 N/cm 以上の密着力を有する下部導電体膜を形成する工程と、前記下部導電体膜上に機能膜を形成する工程とを備えることを特徴とする電子デバイスの製造方法。

【請求項 13】

前記基板上に下部導電体膜を形成する前に、前記基板上に密着配向制御薄膜を形成する工程をさらに備えることを特徴とする請求項 12 に記載の電子デバイスの製造方法。

【書類名】明細書

【発明の名称】電子デバイス及びその製造方法

【技術分野】

【0001】

本発明は電子デバイス及びその製造方法に関し、特に、薄膜コンデンサ、強誘電体不揮発性メモリ、薄膜バルク振動子など、強誘電性や圧電性を有する機能膜及びこれに隣接して設けられた導電体膜を備える電子デバイス及びその製造方法に関する。

【背景技術】

【0002】

薄膜コンデンサ、強誘電体不揮発性メモリ、薄膜バルク振動子などの電子デバイスにおいては、強誘電体材料や圧電材料からなる機能膜が用いられることがある。例えば、薄膜バルク振動子は、圧電材料からなる機能膜を上下2つの導電体膜（上部導電体膜及び下部導電体膜）によって挟持した構造を有しており、これら導電体膜間に高周波信号を印加することによって高周波フィルタとして用いることができる。

【0003】

このような電子デバイスにおいて良好なデバイス特性を得るためには、機能膜の結晶性を高める必要があり、そのためには機能膜の成膜方法や成膜条件を最適化するのみならず、機能膜の下地となる下部導電体膜の結晶性を高めることが重要である。これは、下地となる下部導電体膜の結晶性が機能膜の結晶性に大きな影響を与えるためである。良好な結晶性を持つ下部導電体膜の形成方法は、例えば特許文献1に記載されている。

【0004】

下部導電体膜の材料としては、その上部に形成する機能膜との格子整合性が高く、且つ、反応性が低い材料を用いる必要がある。したがって、機能膜の材料として例えばZnOなどのウルツァイト型結晶構造を有する圧電材料を用いる場合、その下地となる下部導電体膜としては、白金(Pt)、金(Au)、イリジウム(Ir)、ロジウム(Rh)など、結晶構造が面心立方構造となる金属を(111)配向させた薄膜が好ましく用いられる。

【特許文献1】特開平11-312801号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、下部導電体膜とさらにその下地となる層との密着性は、下部導電体膜の成膜方法や成膜温度等の条件によって変化し、場合によっては非常に弱い密着性しか得られないことがある。特に、白金(Pt)など結晶構造が面心立方構造となる金属を(111)配向させた薄膜は、下地となる絶縁体との密着性が製造条件によって著しく変化することから、場合によっては下部導電体膜に物理的な剥がれが生じ、製品となる電子デバイスの信頼性が大幅に低下してしまうという問題があった。しかも、作製する電子デバイスが薄膜バルク振動子である場合、下部導電体膜とその下地との界面にて生じる微小な剥離がデバイス特性を著しく劣化させることがあるため、下部導電体膜に対しては十分な密着性が要求される。

【0006】

したがって、本発明の目的は、結晶性及び密着性がともに優れた下部導電体膜を有する電子デバイス及びその製造方法を提供することである。

【課題を解決するための手段】

【0007】

本発明による電子デバイスは、基板と、前記基板上に設けられた下部導電体膜と、前記下部導電体膜上に設けられた機能膜とを備える電子デバイスであって、前記基板側における前記下部導電体膜の密着力が0.1N/cm以上であることを特徴とする。

【0008】

このように、本発明による電子デバイスは高い機械的強度を有していることから、高い

信頼性を得ることが可能となる。つまり、下部導電体膜の密着力が 0.1 N/cm 未満であると、電子デバイスの製造途中や完成後において下部導電体膜に物理的な剥がれが生じるおそれがあるが、本発明によればこれを防止することが可能となる。また、下部導電体膜の密着力が 0.1 N/cm 未満である場合、作製した電子デバイスを薄膜バルク振動子として用いると、下部導電体膜とその下地との界面にて生じる微小な剥離がデバイス特性を著しく劣化させることがあるが、下部導電体膜の密着力が 0.1 N/cm 以上であれば、このような影響を効果的に抑制することが可能となる。

【0009】

特に、基板側における下部導電体膜の密着力が 1 N/cm 以上であれば、下部導電体膜が物理的に剥がれるおそれが非常に低くなるとともに、作製した電子デバイスを薄膜バルク振動子として用いる場合であっても、下部導電体膜の密着力不足による特性の劣化はほとんど生じなくなる。

【0010】

また、前記下部導電体膜は面心立方構造の (111) 面又は最密六方構造の (0001) 面に単一配向した金属薄膜であり、前記機能膜はウルツァイト型結晶構造を有する圧電材料によって構成されていることが好ましい。これによれば、格子整合により機能膜の結晶性を高めることができるので、良好なデバイス特性を得ることが可能となる。

【0011】

また、前記基板と前記下部導電体膜との間に設けられた密着配向制御薄膜をさらに備えることが好ましい。この場合、前記密着配向制御薄膜はウルツァイト型結晶構造を有する結晶によって構成されていることが好ましく、その (0001) 面が前記基板の表面と平行になるように配向した (0001) 配向膜であることがさらに好ましい。その材料としては、 AlN であることが好ましい。このような密着配向制御薄膜を用いれば、機能膜の結晶性をさらに高めつつ、基板側における下部導電体膜の密着力をさらに高めることが可能となる。

【0012】

また、前記下部導電体膜及び前記機能膜の X 線ロックングカーブの半値幅はいずれも 5° 以下であることが好ましく、 3° 以下であることがより好ましい。下部導電体膜の結晶性は機能膜の結晶性に反映されるため、下部導電体膜の X 線ロックングカーブの半値幅を 5° 以下又は 3° 以下に設定すれば、機能膜の X 線ロックングカーブの半値幅についても 5° 以下又は 3° とすることが可能となる。そして、機能膜の X 線ロックングカーブの半値幅が 5° 以下であれば比較的良好なデバイス特性を得ることができ、X 線ロックングカーブの半値幅が 3° 以下であれば非常に良好なデバイス特性を得ることが可能となる。

【0013】

また、前記機能膜上に設けられた上部導電体膜をさらに備え、前記下部導電体膜、前記機能膜及び前記上部導電体膜によって薄膜バルク振動子を構成することが好ましい。これは、本発明による電子デバイスは下部導電体膜の密着力が高いことから、下部導電体膜とその下地との界面に微小な剥離がほとんど生じず、このため、薄膜バルク振動子として用いる場合であっても良好なデバイス特性を得ることが可能となるからである。本発明による電子デバイスを薄膜バルク振動子として用いる場合、基板の表面に音響多層膜が設けられていることが好ましい。音響多層膜を設ければ、基板方向へ伝搬する振動を効率よく反射することができるので、薄膜バルク振動子の特性を向上させることが可能となる。

【0014】

本発明による電子デバイスの製造方法は、基板上に 0.1 N/cm 以上の密着力を有する下部導電体膜を形成する工程と、前記下部導電体膜上に機能膜を形成する工程とを備えることを特徴とする。この場合、前記基板上に下部導電体膜を形成する前に、前記基板上に密着配向制御薄膜を形成する工程をさらに備えることが好ましい。

【発明の効果】

【0015】

このように、本発明によれば、電子デバイスに高い機械的強度が確保されていることか

ら、製品の信頼性を大幅に高めることが可能となる。しかも、下部導電体膜を面心立方構造の(111)面又は最密六方構造の(0001)面に単一配向した金属薄膜とし、さらに、機能膜をウルツァイト型結晶構造を有する圧電材料によって構成すれば、機能膜の結晶性が高まることから、良好なデバイス特性を得ることが可能となる。

【0016】

したがって、本発明による電子デバイスは、薄膜バルク振動子として用いることが特に好適である。

【発明を実施するための最良の形態】

【0017】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0018】

図1は、本発明の好ましい実施形態による電子デバイス10の構造を示す略断面図である。

【0019】

図1に示すように、本実施形態による電子デバイス10は、基板11と、基板11上に設けられた下部導電体膜12と、下部導電体膜12上に設けられた機能膜13と、機能膜13上に設けられた上部導電体膜14とを備えて構成されている。このように、本実施形態による電子デバイス10は、下部導電体膜12と上部導電体膜14によって機能膜13を挟持した構成を有している。したがって、機能膜13の材料としてZnO等の圧電材料を用いれば、薄膜バルク振動子やインクジェットプリンター用ヘッドなどの電子デバイスとして利用することが可能となり、また、機能膜13の材料としてPZT等の強誘電体材料を用いれば、強誘電体不揮発性メモリーや薄膜コンデンサなどの電子デバイスとして利用することが可能となる。また、このような電子デバイス10と他の回路とを組み合わせることにより、高周波フィルターやデュプレクサー、RF部組み込み型通信用半導体集積回路などの電子デバイスを構成することが可能となる。

【0020】

本発明による電子デバイスでは、基板11側における下部導電体膜12の密着力は0.1N/cm以上であり、JIS Z 1522に規定されている粘着テープの接着力である1.18N/cm以上の密着力を有することが好ましい。あるいは、テープ試験によって膜剥がれが生じない程度の密着力を有することが好ましい。密着力の上限は特に規定されず、密着力が大きいほどデバイスの機械的強度が向上し、信頼性の高い電子デバイスを作製することができる。密着力は、密着エネルギーの他に、膜を引き剥がすのに必要な荷重、あるいは単位面積あたりの力で表現することができる。荷重の場合、密着力は10N以上であることが好ましい。単位面積あたりの力の場合には、密着力は1GPa以上であることが好ましい。

【0021】

密着力の評価には、テープ試験、引き剥がし試験、引き倒し試験、スクラッチ試験、圧痕試験等の密着性試験を用いることができる。これらのうち、テープ試験、引き剥がし試験は容易に密着力の評価あるいは測定ができるために、最も好ましい。本発明の電子デバイスに対する密着力の測定には、引き剥がし試験を用いることが最も好ましい。引き剥がし試験は、具体的には以下のような方法で測定を行う。まず、基板11上に付着している膜面に、セロハンテープやカプトンテープなどの粘着テープを貼り付け、膜を垂直にゆっくりと引き剥がし、剥がすために加えた力をバネ秤等で測定する。その力をテープの幅で除することにより、単位幅あたりの付着力が得られる。この単位幅あたりの付着力は、剥離した界面での膜とその下地との密着エネルギーに等しくなる。本明細書及び特許請求の範囲における「密着力」とは、こうして測定される密着エネルギーをいう。

【0022】

以下、電子デバイス10を構成する各要素について詳細に説明する。

【0023】

基板 11

【0024】

基板 11 には、シリコン (Si) やサファイアなどの単結晶基板、アルミナやアルティックなどのセラミックス基板、石英やガラス基板などを用いることができる。基板 11 の材料は、使用するプロセスや、目的とするデバイスの特性、コストなどの観点から適宜選択することができる。たとえば、基板 11 の材料としてシリコン (Si) やガラス基板を用いれば、電子デバイス用基板が安価に得られるし、また、600℃を越えるような高温のプロセスが必要となる場合には、シリコン (Si) や石英を用いることが好ましい。基板 11 の材料としては、安価であり、且つ、高度なウェハープロセスが確立されている Si 単結晶を用いることが最も好ましい。

【0025】

基板 11 には、あらかじめ表面に何らかの膜が形成されているものや、研磨等の機械加工が施されているものも利用可能である。シリコン (Si) をはじめとして、多くの工業用基板は表面研磨等の機械加工がされている。また、セラミックス基板の中には、基板の表面粗さを低減するために、表面に膜が形成されていたり、さらにその膜が研磨されているものがあるが、これはいずれも使用可能である。

【0026】

図 2 は、基板本体 21 及びその表面に形成された音響多層膜 22 を有する基板 11 を用いた電子デバイス 20 の略断面図である。このような構造は、本発明による電子デバイスを薄膜バルク振動子として利用する場合に好適である。

【0027】

基板本体 21 としては、シリコン (Si) やサファイアなどの単結晶基板、アルミナやアルティックなどのセラミックス基板、石英やガラス基板などを用いることができる。また、音響多層膜 22 は、互いに異なる材料からなる単位薄膜 22A 及び 22B が交互に積層された構造を有しており、基板本体 21 方向へ伝搬する振動を反射することにより薄膜バルク振動子の特性を向上させる役割を果たす。単位薄膜 22A の材料としては例えば窒化アルミニウム (AlN) を用いることができ、単位薄膜 22B の材料としては例えば酸化シリコン (SiO₂) を用いることができる。単位薄膜 22A の材料として窒化アルミニウム (AlN) を用いる場合には、これをスパッタリング法により形成することが好ましく、単位薄膜 22B の材料として酸化シリコン (SiO₂) を用いる場合には、これを CVD 法により形成することが好ましい。単位薄膜 22A 及び 22B の厚さについては、目的とする共振周波数に応じて設定すればよい。

【0028】

下部導電体膜 12

【0029】

下部導電体膜 12 は、デバイス構成上、機能膜 13 の下側に形成されている。機能膜 13 の材料として AlN、ZnO、GaN などのウルツァイト型結晶構造を有する圧電材料を用いる場合、下部導電体膜 12 は、面心立方構造の (111) 面、または、最密六方構造の (0001) 面に単一配向した金属薄膜であることが好ましい。ここで、面心立方構造の (111) 面に単一配向した膜とは、 $\theta-2\theta$ X 線回折の (hhh) 面以外の反射ピークの強度が (hhh) 面反射の最大ピーク強度の 10% 以下である膜のことである。なお、(hhh) は、(111) や (222) などの h を整数とした面と等価な面を総称する表示である。

【0030】

面心立方構造 (111) 配向や最密六方構造 (0001) 配向の下部導電体膜 12 上に、機能膜 13 として AlN、ZnO、GaN などからなるウルツァイト型構造の圧電材料を形成すれば、たとえば、エピタキシャル成長により良好な結晶性を有する機能膜 13 を形成することができる。

【0031】

下部導電体膜 12 は、X 線回折法における面心立方 (111) 面反射、あるいは最密六

方(0002)面反射のX線ロックングカーブの半値幅が 5° 以下の結晶性を有していることが好ましく、 3° 以下の結晶性を有していることがより好ましい。

【0032】

図3は、下部導電体膜12の結晶性と機能膜13の結晶性との関係を示すグラフであり、下部導電体膜12として(111)単一配向のPt膜を用い、機能膜13としてZnO膜を用いた場合を示している。図3に示すように、Pt膜のX線ロックングカーブの半値幅とZnOのそれはほぼ等しい値を示し、Pt膜の結晶性が良くなるほど(X線ロックングカーブの半値幅が小さくなるほど)、その上に形成したZnOの結晶性も良くなることが分かる。

【0033】

図4は、機能膜13の結晶性と薄膜バルク振動子のインピーダンス比(共振インピーダンスと反共振インピーダンスとの比)との関係を示すグラフであり、図5は、機能膜13の結晶性と薄膜バルク振動子の実効的電気機械結合係数(k^2)との関係を示すグラフである。いずれも、機能膜13としてZnO膜を用いた場合を示している。図4及び図5に示すように、ZnOのX線ロックングカーブの半値幅が 5° 以下であれば、共振・反共振のインピーダンス比、実効的電気機械結合係数ともある程度良好な値が得られ、ZnOのX線ロックングカーブの半値幅が 3° 以下であれば、共振・反共振のインピーダンス比、実効的電気機械結合係数とも最大値に近い値となる。

【0034】

以上を総合的に考えれば、下部導電体膜12の結晶性としてX線ロックングカーブの半値幅が 5° 以下であれば、比較的良好な特性を有する薄膜バルク振動子を作製することができ、X線ロックングカーブの半値幅が 3° 以下であれば、非常に良好な特性を有する薄膜バルク振動子を作製することができるといえる。

【0035】

下部導電体膜12は、基板11側における十分な密着力を有している必要がある。これは、下部導電体膜12の密着力が弱いとデバイスの機械的強度が不足するのみならず、薄膜バルク振動子を構成した場合、その特性が劣化するためである。具体的には、下部導電体膜12からみて基板11側に接している層に対して、 0.1 N/cm 以上の密着力を有している必要があり、 1 N/cm 以上の密着力を有していることが好ましい。これは、下部導電体膜12の密着力が 0.1 N/cm を切ると、薄膜バルク振動子を構成した場合の特性劣化が顕著に劣化するからであり、下部導電体膜12の密着力が 1 N/cm 以上であると、ほとんど劣化が生じなくなるからである。

【0036】

下部導電体膜12の密着力は、JIS Z 1522に規定されている粘着テープの接着力である 1.18 N/cm 以上の密着力を有していることが特に好ましい。あるいは、テープテストによって膜剥がれが生じない程度の密着力を有することが好ましい。密着力の上限は特に規定されず、密着力が大きいほどデバイスの機械的強度が向上し、信頼性の高い電子デバイスが作製できる。

【0037】

下部導電体膜12の材料としては、白金(Pt)、金(Au)、イリジウム(Ir)、オスミウム(Os)、レニウム(Re)、パラジウム(Pd)、ロジウム(Rh)およびルテニウム(Ru)の少なくとも1種を主成分とすることが好ましい。白金(Pt)、金(Au)、イリジウム(Ir)、パラジウム(Pd)およびロジウム(Rh)は面心立方構造となり、オスミウム(Os)、レニウム(Re)およびルテニウム(Ru)は最密六方構造となる。これらの金属は表面を清浄に保ちやすく、また汚染された場合にもアッシングや熱処理等によって清浄な表面を得やすい。下部導電体膜12の表面が清浄であると、ZnOなどの機能膜13を容易に結晶性良く形成することが可能となる。

【0038】

下部導電体膜12としては、このほかにもモリブデン(Mo)やタングステン(W)などの体心立方構造の金属薄膜や、 SrRuO_3 などのペロブスカイト型構造の酸化物導電

体薄膜なども用いることができる。これらの材料を用いる場合も、下地との密着性が製造条件によって著しく変化するため、上記の密着力が得られるような条件で形成する必要がある。

【0039】

下部導電体膜12の厚さは、好ましくは10～1000nm、より好ましくは50～300nmである。これは、10nm未満であるとシート抵抗が大きくなるため電極として好ましくなく、1000nm超であると製造プロセス時間および材料コストが必要以上に増大するからである。また、本実施形態による電子デバイスを薄膜バルク振動子として用いる場合、下部導電体膜12の厚さによって共振周波数が増加するため、目的とする共振周波数に応じて上部導電体膜14の膜厚を設定することが好ましい。

【0040】

下部導電体膜12の形成には、真空蒸着法、スパッタリング法又はCVD法を用いることが好ましく、中でもスパッタリング法を用いることが特に好ましい。これは、本実施形態による電子デバイス10、20のように、基板11上に直接下部導電体膜12を形成する場合、スパッタリング法を用いることによって高い密着性を得ることができるからである。下部導電体膜12をスパッタリング法により形成する際の基板温度は、好ましくは300～800℃、より好ましくは400～600℃である。これは、基板温度が300℃未満であると基板11側における下部導電体膜12の密着性が不足し、その結果、電子デバイスの信頼性が低下したり、特性が悪化するからである。特に、作製した電子デバイスを薄膜バルク振動子として用いる場合、基板温度を300℃未満に設定して下部導電体膜12をスパッタリング法により形成すると、フィルタ特性が大幅に劣化するという問題が発生するからである。一方、基板温度が800℃超であると、下部導電体膜12を構成する金属薄膜の表面性が悪化したり、ピンホールが発生したりするおそれが生じる。これらに対し、下部導電体膜12をスパッタリング法により形成する際の基板温度を400～600℃に設定すれば、下部導電体膜12を構成する金属薄膜の表面性を良好に保ちつつ、非常に高い密着性を得ることが可能となる。

【0041】

機能膜13

【0042】

機能膜13の材料としては、上述の通り、ZnO、AlN、GaN等のウルツァイト型結晶構造を有する圧電材料やPZT等の強誘電体材料を用いることができる。例えば、機能膜13の材料としてZnO等の圧電材料を用いれば、本実施形態による電子デバイス10を薄膜バルク振動子やインクジェットプリンター用ヘッドなどの電子デバイスとして利用することが可能となり、また、機能膜13の材料としてPZT等の強誘電体材料を用いれば、本実施形態による電子デバイス10を強誘電体不揮発性メモリーや薄膜コンデンサなどの電子デバイスとして利用することが可能となる。

【0043】

また、機能膜13のX線ロッキングカーブの半値幅は、上述の通り、5°以下であることが好ましく、3°以下であることがより好ましい。機能膜13のX線ロッキングカーブの半値幅をこのような値とするためには、上述の通り、下地となる下部導電体膜12のX線ロッキングカーブの半値幅を5°以下、好ましくは3°以下とすればよい。これにより、良好な特性を有する電子デバイスを作製することができる。

【0044】

機能膜13の材料として、AlNやZnOなどのウルツァイト型結晶構造を持つ圧電材料を用いる場合、その形成方法としては、RFマグネトロンスパッタリングやDCスパッタリング、ECRスパッタリングなどのスパッタリング法や、CVD（化学気相成長）法、MBE（分子線エピタキシー）法又は真空蒸着法を用いることが好ましく、中でもスパッタリング法、特にRFマグネトロンスパッタリング法を用いることがより好ましい。これは、RFマグネトロンスパッタリング法を用いることにより、AlNやZnOからなるc軸単一配向の高結晶性薄膜を容易に形成できるからである。AlNを用いる場合には、

反応性 R F マグネトロンスパッタリング法を用いることが好ましい。この場合、カソードには Al 金属を用い、Ar と窒素のガスを導入して、200℃程度の基板温度で反応性 R F マグネトロンスパッタリングを行うことで、優れた Al N 膜を形成することができる。E C R スパッタリング法を用いた場合でも不純物の極めて少ない高結晶性薄膜が作製できる。

【0045】

また、機能膜 13 の材料として P Z T などの強誘電体材料を用いる場合には、蒸着法やスパッタリング法、C V D 法又はレーザーアブレーション法を用いてこれを形成することが好ましく、中でも蒸着法やスパッタリング法を用いることがより好ましい。特に、蒸着法の一つである反応性蒸着法を用いれば、均一な厚さの高結晶性の強誘電体薄膜が作製可能である。

【0046】

機能膜 13 の厚さは、電子デバイスの種類及び求められる特性に応じて適宜設定する必要がある。例えば、薄膜バルク振動子として用いる場合には、共振周波数を高く設定するほど、機能膜 13 を薄く設定する必要がある。

【0047】

上部導電体膜 14

【0048】

上部導電体膜 14 の材料としては、高い導電性を有する材料である限り特に限定されず、アルミニウム (Al)、金 (Au)、白金 (Pt) 等の金属やこれらの金属と銅 (Cu) 等との合金、あるいはこれらの金属とチタン (Ti) 等の金属を積層した多層膜を用いることができる。尚、上部導電体膜 14 は、必ずしもエピタキシャル成長した膜である必要はない。また、機能膜 13 と上部導電体膜 14 との間に保護膜を介在させることもまた好ましい。この場合、保護膜の材料としては、酸化シリコン (SiO₂) 等を用いることができる。

【0049】

上部導電体膜 14 の膜厚は、50nm～1μm 程度とすることが好ましい。これは上部導電体膜 14 の膜厚が 50nm 未満であると断線等の不良が起こりやすくなり、逆に、1μm 超であると上部導電体膜 14 の加工性が過度に悪化するからである。また、本実施形態による電子デバイスを薄膜バルク振動子として用いる場合、下部導電体膜 12 と同様、上部導電体膜 14 の厚さによっても共振周波数が変化するため、目的とする共振周波数に応じて上部導電体膜 14 層の膜厚を設定することが好ましい。

【0050】

以上が本実施形態による電子デバイス 10, 20 の構成である。このように、本実施形態による電子デバイス 10, 20 では、下部導電体膜 12 とその下地である基板 11 との密着性が高いことから、電子デバイスの機械的強度が向上し、信頼性の高い製品を提供することが可能となる。したがって、本実施形態による電子デバイス 10, 20 を薄膜バルク振動子として利用する場合であっても、良好な信号特性を得ることが可能となる。

【0051】

次に、本発明の好ましい他の実施形態による電子デバイスについて説明する。

【0052】

図 6 は、本発明の好ましい他の実施形態による電子デバイス 30 の構造を示す略断面図である。

【0053】

図 6 に示すように、本実施形態による電子デバイス 30 は、図 2 に示した電子デバイス 20 の基板 11 と下部導電体膜 12 との間に密着配向制御薄膜 31 が追加された構成を有している。密着配向制御薄膜 31 は、下部導電体膜 12 の基板 11 側における密着性を高める役割を果たし、これにより、下部導電体膜 12 からみて基板 11 側における密着力を容易に 0.1N/cm 以上とすることが可能となる。

【0054】

密着配向制御薄膜 31 は、ウルツァイト型結晶構造を有する結晶から構成されることが望ましい。その材料としては、アルミニウム (Al)、ガリウム (Ga)、インジウム (In) 等の 3 族元素から選ばれる少なくとも 1 種の元素と窒素との化合物や、ベリリウム (Be)、亜鉛 (Zn) 等の 2 族元素の酸化物や硫化物が好ましい。特に、AlN は大気中で安定であり、反応性スパッタリング法により高結晶性の膜が容易に形成できるので、密着配向制御薄膜 31 の材料として最も好ましい。

【0055】

密着配向制御薄膜 31 は、ウルツァイト型結晶構造の (0001) 面が基板本体 21 の表面と平行になるように配向した (0001) 配向膜であることが好ましく、(0001) 単一配向膜であることがさらに好ましい。ウルツァイト型結晶構造の (0001) 面は、正六角形の中心と頂点の位置に原子が配列した構造と見なすことができる。このように原子配列した (0001) 配向のウルツァイト型薄膜上に、面心立方構造または最密六方晶構造の結晶構造の金属を堆積させると、同じように正六角形状の原子配列を持つ面心立方 (111) 面や最密六方 (0001) 面に配向した金属薄膜が容易に形成できる。したがって、密着配向制御薄膜 31 を設ければ、下部導電体膜 12 の結晶性を高めることができ、ひいては機能膜 13 の結晶性を高めることが可能となる。

【0056】

ここで、X 線回折法により $\theta - 2\theta$ X 線回折の (000L) 面反射の最大ピーク強度が、(000L) 以外の反射ピークよりも大きければ、その薄膜は (0001) 配向であるといえる。さらに、(000L) 面以外の反射ピークの強度が (000L) 面反射の最大ピーク強度の 10% 以下であれば、その薄膜は (0001) 単一配向膜であるといえる。ここで、(000L) は、(0001) や (0002) などの L を整数とした面と等価な面を総称する表示である。

【0057】

また、膜表面の RHEED (反射高速電子線回折法) 観察により、ウルツァイト型結晶の (0001) 面の回折パターンが観察されれば、その膜は (0001) 配向したウルツァイト型薄膜であるといえる。

【0058】

透過型電子顕微鏡を用いて膜の断面あるいは上面 (下面) からの観察を行い、得られた回折パターンから結晶の方位を規定することによっても、密着配向制御薄膜 31 の配向を確認することが可能である。

【0059】

密着配向制御薄膜 31 の膜厚がきわめて薄いときには、十分な X 線回折強度が得られず、上で述べた X 線回折ピーク強度の比較が困難となることがある。また、それ以外の層に同じ構成元素からなる密着配向制御薄膜が形成されているときには、密着配向制御薄膜 31 からの X 線回折のピークを分離することができず、配向の確認が困難となる場合がある。これらのような場合には、上述の RHEED や透過型電子顕微鏡を用いた方法により、配向を確認することが好ましい。

【0060】

密着配向制御薄膜 31 は、結晶化膜であることが好ましく、(0001) 配向した多結晶膜であることがより好ましく、(0001) 配向した単結晶膜であることがさらに好ましい。上述したように、密着配向制御薄膜 31 が (0001) 配向であれば、その上に形成される下部導電体膜 12 を結晶性良く形成することができる。密着配向制御薄膜 31 が (0001) 配向の単結晶膜であれば、その上に、きわめて良好な結晶性の面心立方 (111) 配向の金属薄膜あるいは最密六方 (0001) 配向の下部導電体膜 12 を形成することができる。

【0061】

密着配向制御薄膜 31 の厚さは、目的とする電子デバイスの特性に適するように選択することが可能である。たとえば、電子デバイスとして薄膜バルク振動子を用いたフィルターを作製する場合、そのフィルターの帯域幅、最小挿入損失、減衰量、温度特性が最良と

なるように選べばよい。密着配向制御薄膜 31 の膜厚がデバイスの特性に依存しないか、あるいは重要でない場合には、通常、1 ~ 1000 nm に設定することが好ましく、5 ~ 100 nm に設定することがより好ましい。これは、密着配向制御薄膜 31 の膜厚が 1 nm 未満であると、十分な結晶性を持つ密着配向制御薄膜を形成することができず、その上の下部導電体膜 12 を結晶性良く形成できないという問題や、下部導電体膜 12 の密着性が十分に得られないなどの問題が生じる。一方、密着配向制御薄膜 31 の膜厚が 1000 nm 超であると成膜に要する時間が必要以上に長くなり、製造時のスループットが減少する。また、密着配向制御薄膜 31 の表面は、Ra (平均粗さ) が 10 nm 以下であることが好ましく、1 nm 以下であることがより好ましい。

【0062】

密着配向制御薄膜 31 の形成には、スパッタリング法、CVD (化学気相成長) 法または MBE (分子線エピタキシー) 法、真空蒸着法を用いることが好ましい。特に、密着配向制御薄膜 31 の材料として AlN を用いる場合には、反応性 RF マグネトロンスパッタリング法を用いることが好ましい。この場合、カソードには Al 金属を用い、Ar と窒素のガスを導入して、200℃程度の基板温度で反応性 RF マグネトロンスパッタリングを行うことで、優れた AlN 膜を形成することができる。

【0063】

反応性 RF マグネトロンスパッタリングにより形成した AlN 膜は、およそ 5 nm の厚さで金属薄膜の下地として十分な結晶性と密着性を与えることができることが我々の検討で明らかとなっている。図 7 に反応性 RF マグネトロンスパッタリング法で形成した AlN の膜厚と、その上に真空蒸着法にて形成した Pt 膜の X 線 (111) 反射ロックアップカーブの半値幅との関係を示す。図 7 に示すように、AlN 膜の厚さが 5 ~ 100 nm の範囲で同等の結晶性の Pt 膜が得られている。これらの Pt 膜は、いずれもテープテストで膜剥がれが生じず、良好な密着性を示す。

【0064】

尚、本実施形態では、基板 11 として基板本体 21 の表面に音響多層膜 22 が形成されたものを用いているが、密着配向制御薄膜 31 の下地がこれに限定されるものではなく、シリコン (Si) やガラス等の基板本体上に直接、密着配向制御薄膜 31 を形成しても構わない。

【0065】

本実施形態のように、基板 11 と下部導電体膜 12 との間に密着配向制御薄膜 31 を介在させる場合、下部導電体膜 12 の形成には、真空蒸着法を用いることが特に好ましい。これは、真空蒸着法を用いることによって特に結晶性の良好な下部導電体膜 12 を形成することができるからである。真空蒸着法を用いて形成された薄膜は、スパッタリング法を用いて形成された薄膜よりも密着性が低くなる傾向があるが、本実施形態のように密着配向制御薄膜 31 が存在する場合には、真空蒸着法を用いた場合であっても高い密着性を確保することができる。但し、密着配向制御薄膜 31 が存在する場合であっても、基板 11 側における下部導電体膜 12 の密着性は、下部導電体膜 12 の形成時における基板温度に依存する。十分な密着性を確保するためには、下部導電体膜 12 を真空蒸着法により形成する際の基板温度として 200 ~ 800℃ に設定することが好ましい。これは、基板温度が 200℃ 未満であると、密着配向制御薄膜 31 が存在する場合であっても基板 11 側における下部導電体膜 12 の密着性が不足するおそれがあるからである。一方、基板温度が 800℃ 超であると、既に説明したように、下部導電体膜 12 を構成する金属薄膜の表面性が悪化したり、ピンホールが発生したりするおそれが生じるため好ましくない。

【0066】

さらに、真空蒸着法により形成する下部導電体膜 12 の結晶性をより良好とするためには、基板温度として 300 ~ 800℃ に設定することが好ましく、400 ~ 600℃ に設定することがより好ましい。

【0067】

以上が本実施形態による電子デバイス 30 の構成である。このように、本実施形態によ

る電子デバイス30では、下部導電体膜12と基板11との間に密着配向制御薄膜31が設けられており、これにより基板11側における下部導電体膜12の密着性が高められていることから、電子デバイスの機械的強度がさらに向上し、より信頼性の高い製品を提供することが可能となる。

【0068】

次に、本発明の好ましいさらに他の実施形態による電子デバイスについて説明する。

【0069】

図8は、本発明の好ましいさらに他の実施形態による電子デバイス40の構造を示す略断面図である。

【0070】

本実施形態による電子デバイス40は薄膜バルク振動子であり、図8に示すように、ビアホール41aを有する基板本体41と、基板本体41上に設けられたバッファ層42と、バッファ層42上に設けられた下部導電体膜12と、下部導電体膜12上に設けられた機能膜13と、機能膜13上に設けられた上部導電体膜14とを備えて構成されている。

【0071】

基板本体41としては、単結晶シリコンを用いることが好ましく、Si(100)単結晶表面を有する基板を用いることが最も好ましい。これは、Si(100)基板を用いることにより、ビアホール41aの形成が容易となるからである。ビアホール41aは、例えば、エッチング等により基板本体41の一部を除去することによって形成したり、犠牲層などのように一旦形成した膜の一部あるいは全てを除去することにより形成することが可能である。

【0072】

バッファ層42は、下部導電体膜12の下地となるとともに、ビアホール41aをエッチング加工する場合にはエッチングストップ層としても機能する層である。バッファ層42の材料については、上述した密着配向制御薄膜31と同様、ウルツァイト型結晶構造を有する材料を用いることが好ましい。これにより、下部導電体膜12の結晶性が高まるばかりでなく、下部導電体膜12からみて基板本体41側における密着力を容易に0.1N/cm以上とすることが可能となる。

【0073】

このように、本実施形態による電子デバイス40では、基板本体41にビアホール41aが形成されたダイヤフラム構造を有していることから、高性能な薄膜バルク振動子を提供することが可能となる。

【0074】

本発明は、以上説明した実施の形態に限定されることなく、特許請求の範囲に記載された発明の範囲内で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【実施例】

【0075】

以下、本発明の実施例について説明するが、本発明はこの実施例に何ら限定されるものではない。

【0076】

【実施例1】

【0077】

以下の方法により、図2に示す電子デバイス20と同じ構造を有する複数の実施例1の電子デバイスを作製した。

【0078】

まず、鏡面研磨したSi単結晶からなる厚さ250 μ m、抵抗率1000 $\Omega \cdot \text{cm}$ のSi(100)基板本体21を準備し、洗浄した後、厚さ1.5 μ mのAlN膜と厚さ0.8 μ mのSiO₂膜とを、それぞれスパッタリング法およびCVD法によりこの順で4回繰り返して積層することにより、音響多層膜22を形成した。これにより、下部導電体膜

12の下地となる基板11が完成した。

【0079】

次に、基板11上に、白金(Pt)からなる厚さ150nmの下部導電体膜12を形成した。下部導電体膜12の形成にはスパッタリング法を用い、ターゲットは白金(Pt)、スパッタガスはアルゴン(Ar)とした。成膜条件としては、基板温度を600℃、成膜速度を0.06nm/sとした。

【0080】

次に、下部導電体膜12上に、RFマグネトロンスパッタリング法によりZnOからなる厚さ800nmの機能膜13を形成した。

【0081】

そして、この機能膜13上に保護膜として厚さ50nmのSiO₂薄膜をCVD法により形成し、さらにこの上にアルミニウム(Al)からなる上部導電体膜14をスパッタリング法により形成した。以上により、複数の実施例1の電子デバイス(薄膜バルク振動子)が完成した。

【0082】

このようにして作製した複数の実施例1の電子デバイスにそれぞれ所定の回路を接続することによって通過帯域が2.00~2.05GHzである複数のバンドパスフィルタを作製し、通過帯域内での挿入損失を測定した。その結果、通過帯域内での挿入損失が3dB以上となるバンドパスフィルタは確認されなかった。

【0083】

また、下部導電体膜12を形成した直後(機能膜13を形成する前)の状態下部導電体膜12に対して引き剥がし試験を行い、これにより基板11側における下部導電体膜12の密着力を測定した。その結果、下部導電体膜12の密着力は2.28N/cmであった。

【0084】

[実施例2]

【0085】

下部導電体膜12をスパッタリング法により形成する際の基板温度を500℃に設定した他は、実施例1と同様にして、複数の実施例2の電子デバイスを作製した。

【0086】

そして、これら実施例2の電子デバイスを用いて複数のバンドパスフィルタを作製し、通過帯域内での挿入損失を測定した結果、通過帯域内での挿入損失が3dB以上であるバンドパスフィルタはやはり確認されなかった。また、実施例1と同様の方法により下部導電体膜12の密着力を測定した結果、下部導電体膜12の密着力は2.20N/cmであった。

【0087】

[実施例3]

【0088】

下部導電体膜12をスパッタリング法により形成する際の基板温度を450℃に設定した他は、実施例1と同様にして、複数の実施例3の電子デバイスを作製した。

【0089】

そして、これら実施例3の電子デバイスを用いて複数のバンドパスフィルタを作製し、通過帯域内での挿入損失を測定した結果、通過帯域内での挿入損失が3dB以上であるバンドパスフィルタはやはり確認されなかった。また、実施例1と同様の方法により下部導電体膜12の密着力を測定した結果、下部導電体膜12の密着力は2.15N/cmであった。

【0090】

[実施例4]

【0091】

下部導電体膜12をスパッタリング法により形成する際の基板温度を400℃に設定し

た他は、実施例 1 と同様にして、複数の実施例 4 の電子デバイスを作製した。

【0092】

そして、これら実施例 4 の電子デバイスを用いて複数のバンドパスフィルタを作製し、通過帯域内での挿入損失を測定した結果、通過帯域内での挿入損失が 3 dB 以上であるバンドパスフィルタはやはり確認されなかった。また、実施例 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 1.30 N/cm であった。

【0093】

[実施例 5]

【0094】

下部導電体膜 12 をスパッタリング法により形成する際の基板温度を 350℃ に設定した他は、実施例 1 と同様にして、複数の実施例 5 の電子デバイスを作製した。

【0095】

そして、これら実施例 5 の電子デバイスを用いて複数のバンドパスフィルタを作製し、通過帯域内での挿入損失を測定した結果、4% のバンドパスフィルタについて通過帯域内での挿入損失が 3 dB 以上であった。また、実施例 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 0.35 N/cm であった。

【0096】

[実施例 6]

【0097】

下部導電体膜 12 をスパッタリング法により形成する際の基板温度を 300℃ に設定した他は、実施例 1 と同様にして、複数の実施例 6 の電子デバイスを作製した。

【0098】

そして、これら実施例 6 の電子デバイスを用いて複数のバンドパスフィルタを作製し、通過帯域内での挿入損失を測定した結果、8% のバンドパスフィルタについて通過帯域内での挿入損失が 3 dB 以上であった。また、実施例 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 0.12 N/cm であった。

【0099】

[比較例 1]

【0100】

下部導電体膜 12 をスパッタリング法により形成する際の基板温度を 200℃ に設定した他は、実施例 1 と同様にして、複数の比較例 1 の電子デバイスを作製した。

【0101】

そして、これら比較例 1 の電子デバイスを用いて複数のバンドパスフィルタを作製し、通過帯域内での挿入損失を測定した結果、58% のバンドパスフィルタについて通過帯域内での挿入損失が 3 dB 以上であった。また、実施例 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 0.09 N/cm であった。

【0102】

[比較例 2]

【0103】

下部導電体膜 12 をスパッタリング法により形成する際の基板温度を 100℃ に設定した他は、実施例 1 と同様にして、複数の比較例 2 の電子デバイスを作製した。

【0104】

そして、これら比較例 2 の電子デバイスを用いて複数のバンドパスフィルタを作製し、通過帯域内での挿入損失を測定した結果、72% のバンドパスフィルタについて通過帯域内での挿入損失が 3 dB 以上であった。また、実施例 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 0.05 N/cm であった。

【0105】

[比較例 3]

【0106】

下部導電体膜 12 をスパッタリング法により形成する際の基板温度を室温 (23℃) に設定した他は、実施例 1 と同様にして、複数の比較例 3 の電子デバイスを作製した。

【0107】

そして、これら比較例 3 の電子デバイスを用いて複数のバンドパスフィルタを作製し、通過帯域内での挿入損失を測定した結果、68% のバンドパスフィルタについて通過帯域内での挿入損失が 3 dB 以上であった。また、実施例 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 0.03 N/cm であった。

【0108】

以上、実施例 1 乃至 6 及び比較例 1 乃至 3 の電子デバイス (及びバンドパスフィルタ) についての測定結果を表 1 にまとめる。

【0109】

【表 1】

	成膜温度(℃)	密着力(N/cm)	不良発生率(%)
実施例1	600	2.28	0
実施例2	500	2.20	0
実施例3	450	2.15	0
実施例4	400	1.30	0
実施例5	350	0.35	4
実施例6	300	0.12	8
比較例1	200	0.09	58
比較例2	100	0.05	72
比較例3	23	0.03	68

【0110】

さらに、下部導電体膜 12 を形成する際の基板温度と密着力との関係を図 9 に示し、密着力とバンドパスフィルタの不良率 (過帯域内での挿入損失が 3 dB 以上となる製品の割合) との関係を図 10 に示す。

【0111】

表 1 に示すように、下部導電体膜 12 を形成する際の基板温度が 300℃ 以上であれば下部導電体膜 12 の密着力が 0.1 N/cm 以上となる。ここで、図 10 に示すように、下部導電体膜 12 の密着力が 0.1 N/cm 以上であるとバンドパスフィルタの不良率が急激に低下し、さらに、約 1 N/cm 以上であるとバンドパスフィルタの不良率がゼロになることが分かる。以上より、下部導電体膜 12 の密着力を 0.1 N/cm 以上、特に 1 N/cm 以上とすることにより、製品のデバイス特性を大きく向上可能であることが確認された。

【0112】

また、図 9 に示すように、下部導電体膜 12 の密着力は形成時の基板温度が 400℃ 以上となると急激に増大することが分かる。以上より、下部導電体膜 12 をスパッタリング法により形成する場合、基板温度を 400℃ 以上に設定することにより製品の信頼性を大きく向上可能であることが確認された。

【0113】

[テストサンプル 1]

【0114】

以下の方法により、図 6 に示す電子デバイス 30 から機能膜 13 及び上部導電体膜 14 を省略した構造を有するテストサンプル 1 を作製した。ここで、機能膜 13 及び上部導電体膜 14 を省略したのは、本テストサンプル（テストサンプル 2 乃至 16 も同様）は下部導電体膜 12 の密着力を測定することを目的としているためである。

【0115】

まず、鏡面研磨した Si 単結晶からなる厚さ $250\text{ }\mu\text{m}$ 、抵抗率 $1000\text{ }\Omega\cdot\text{cm}$ の Si (100) 基板本体 21 を準備し、洗浄した後、厚さ $1.5\text{ }\mu\text{m}$ の AlN 膜と厚さ $0.8\text{ }\mu\text{m}$ の SiO_2 膜とを、それぞれスパッタリング法および CVD 法によりこの順で 4 回繰り返して積層することにより、音響多層膜 22 を形成した。これにより、下部導電体膜 12 の下地となる基板 11 が完成した。

【0116】

次に、基板 11 上に、厚さ 50 nm の AlN 膜からなる密着配向制御薄膜 31 を、金属 Al ターゲット、Ar と N_2 の混合ガスを用いた反応性 RF マグネトロンスパッタリング法により形成した。基板温度については約 200°C に設定した。

【0117】

次に、密着配向制御薄膜 31 上に、白金 (Pt) からなる厚さ 150 nm の下部導電体膜 12 を形成した。下部導電体膜 12 の形成には真空蒸着法を用いた。成膜条件としては、基板温度を 800°C 、成膜速度を 0.06 nm/s とした。以上により、テストサンプル 1 が完成した。

【0118】

このようにして作製したテストサンプル 1 に対して引き剥がし試験を行い、これにより基板 11 側における下部導電体膜 12 の密着力を測定した。その結果、下部導電体膜 12 の密着力は 2.68 N/cm であった。

【0119】

[テストサンプル 2]

【0120】

下部導電体膜 12 を真空蒸着法により形成する際の基板温度を 700°C に設定した他は、テストサンプル 1 と同様にしてテストサンプル 2 を作製した。そして、テストサンプル 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 2.62 N/cm であった。

【0121】

[テストサンプル 3]

【0122】

下部導電体膜 12 を真空蒸着法により形成する際の基板温度を 600°C に設定した他は、テストサンプル 1 と同様にしてテストサンプル 3 を作製した。そして、テストサンプル 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 2.58 N/cm であった。

【0123】

[テストサンプル 4]

【0124】

下部導電体膜 12 を真空蒸着法により形成する際の基板温度を 500°C に設定した他は、テストサンプル 1 と同様にしてテストサンプル 4 を作製した。そして、テストサンプル 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 2.52 N/cm であった。

【0125】

[テストサンプル 5]

【0126】

下部導電体膜 12 を真空蒸着法により形成する際の基板温度を 400°C に設定した他は

、テストサンプル 1 と同様にしてテストサンプル 5 を作製した。そして、テストサンプル 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 2.35 N/cm であった。

【0127】

[テストサンプル 6]

【0128】

下部導電体膜 12 を真空蒸着法により形成する際の基板温度を 300°C に設定した他は、テストサンプル 1 と同様にしてテストサンプル 6 を作製した。そして、テストサンプル 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 1.85 N/cm であった。

【0129】

[テストサンプル 7]

【0130】

下部導電体膜 12 を真空蒸着法により形成する際の基板温度を 200°C に設定した他は、テストサンプル 1 と同様にしてテストサンプル 7 を作製した。そして、テストサンプル 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 1.24 N/cm であった。

【0131】

[テストサンプル 8]

【0132】

下部導電体膜 12 を真空蒸着法により形成する際の基板温度を室温 (23°C) に設定した他は、テストサンプル 1 と同様にしてテストサンプル 8 を作製した。そして、テストサンプル 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 0.048 N/cm であった。

【0133】

[テストサンプル 9]

【0134】

密着配向制御薄膜 31 をさらに省略した他は、テストサンプル 1 と同様にしてテストサンプル 9 を作製した。そして、テストサンプル 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 0.092 N/cm であった。

【0135】

[テストサンプル 10]

【0136】

密着配向制御薄膜 31 をさらに省略した他は、テストサンプル 2 と同様にしてテストサンプル 10 を作製した。そして、テストサンプル 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 0.081 N/cm であった。

【0137】

[テストサンプル 11]

【0138】

密着配向制御薄膜 31 をさらに省略した他は、テストサンプル 3 と同様にしてテストサンプル 11 を作製した。そして、テストサンプル 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 0.064 N/cm であった。

【0139】

[テストサンプル 12]

【0140】

密着配向制御薄膜 31 をさらに省略した他は、テストサンプル 4 と同様にしてテストサンプル 12 を作製した。そして、テストサンプル 1 と同様の方法により下部導電体膜 12 の密着力を測定した結果、下部導電体膜 12 の密着力は 0.058 N/cm であった。

【0141】

[テストサンプル 13]

【0142】

密着配向制御薄膜31をさらに省略した他は、テストサンプル5と同様にしてテストサンプル13を作製した。そして、テストサンプル1と同様の方法により下部導電体膜12の密着力を測定した結果、下部導電体膜12の密着力は0.052 N/cmであった。

【0143】

[テストサンプル14]

【0144】

密着配向制御薄膜31をさらに省略した他は、テストサンプル6と同様にしてテストサンプル14を作製した。そして、テストサンプル1と同様の方法により下部導電体膜12の密着力を測定した結果、下部導電体膜12の密着力は0.039 N/cmであった。

【0145】

[テストサンプル15]

【0146】

密着配向制御薄膜31をさらに省略した他は、テストサンプル7と同様にしてテストサンプル15を作製した。そして、テストサンプル1と同様の方法により下部導電体膜12の密着力を測定した結果、下部導電体膜12の密着力は0.025 N/cmであった。

【0147】

[テストサンプル16]

【0148】

密着配向制御薄膜31をさらに省略した他は、テストサンプル8と同様にしてテストサンプル16を作製した。そして、テストサンプル1と同様の方法により下部導電体膜12の密着力を測定した結果、下部導電体膜12の密着力は0.005 N/cmであった。

【0149】

図11は、テストサンプル1乃至16についての測定結果を示すグラフであり、下部導電体膜12を形成する際の基板温度と密着力との関係を表している。図11に示すように、密着配向制御薄膜31が存在する場合には、下部導電体膜12の密着力は形成時の基板温度に応じて高くなり、容易に1 N/cm以上の密着力を得ることが可能であった。これに対し、密着配向制御薄膜31が存在しない場合には、基板温度を高めても下部導電体膜12の密着力が0.1 N/cm以上となることはなかった。以上より、下部導電体膜12を真空蒸着法により形成する場合、その下地として密着配向制御薄膜31を用いることにより高い密着力が得られることが確認された。

【0150】

[実施例7]

【0151】

上記テストサンプル3を作製した後、さらにその下部導電体膜12上にRFマグネトロンスパッタリング法によりZnOからなる厚さ800 nmの機能膜13を形成した。さらに、この機能膜13上に、保護膜として厚さ50 nmのSiO₂薄膜と、アルミニウム(A1)からなる上部導電体膜14を形成することにより、実施例7の電子デバイス(薄膜バルク振動子)を作製した。

【0152】

このようにして作製した実施例7の電子デバイスに対し、X線回折試験を行った結果、下部導電体膜12は面心立方(111)配向であり、X線ロッキングカーブの半値幅は、2.3°であった。また、機能膜13を構成するZnO薄膜は(0001)配向であり、また、ZnO(0002)のX線ロッキングカーブの半値幅は2.5°であったことから、高結晶性の膜であることが確認された。

【0153】

また、実施例7の電子デバイス(薄膜バルク振動子)の特性を測定したところ、共振周波数 f_r が2.0 GHz、反共振周波数 f_a が2.06 GHz、実効的電気機械結合係数 $(f_a^2 - f_r^2) / f_r^2$ が6.0%、共振・反共振のインピーダンス比が約50 dBであり、良好な共振特性が得られた。

【0154】

さらに、実施例7の電子デバイスに所定の回路を接続することによってバンドパスフィルタを作製したところ、良好な耐電力特性、通過特性が得られた。

【0155】

さらに、実施例7の電子デバイスに対して、 0.1 N/cm の密着力を持つ粘着テープにてテープテストを行ったところ、いずれの膜も剥離しないことが確認された。このことから、実施例7の電子デバイスを構成する全ての膜および基板との界面において、密着力は 0.1 N/cm 以上であることが確認された。

【0156】

[比較例4]

【0157】

テストサンプル3の代わりに上記テストサンプル11を用いた他は、実施例7と同様にして比較例4の電子デバイス（薄膜バルク振動子）を作製した。そして、その特性を測定したところ、実効的電気機械結合係数 $(f_a^2 - f_r^2) / f_r^2$ が5.0%、共振・反共振のインピーダンス比が約40dBであり、実施例7の電子デバイスに比べ特性が劣ることが分かった。さらに、比較例4の電子デバイスに所定の回路を接続することによってバンドパスフィルタを作製したところ、実施例7の電子デバイスを用いたバンドパスフィルタに比べ、耐電力特性及び挿入損失ともに悪化した。

【図面の簡単な説明】

【0158】

【図1】本発明の好ましい実施形態による電子デバイス10の構造を示す略断面図である。

【図2】基板本体21及びその表面に形成された音響多層膜22を有する基板11を用いた電子デバイス20の略断面図である。

【図3】下部導電体膜12の結晶性と機能膜13の結晶性との関係を示すグラフである。

【図4】機能膜13の結晶性と薄膜バルク振動子のインピーダンス比との関係を示すグラフである。

【図5】機能膜13の結晶性と薄膜バルク振動子の実効的電気機械結合係数 (k^2) との関係を示すグラフである。

【図6】本発明の好ましい他の実施形態による電子デバイス30の構造を示す略断面図である。

【図7】密着配向制御薄膜31を構成するAlNの膜厚と下部導電体膜12を構成するPt膜のX線ロックアップカーブの半値幅との関係を示すグラフである。

【図8】本発明の好ましいさらに他の実施形態による電子デバイス40の構造を示す略断面図である。

【図9】下部導電体膜12をスパッタリング法により形成する際の基板温度と密着力との関係を示すグラフである。

【図10】下部導電体膜12の密着力とバンドパスフィルタの不良率との関係を示すグラフである。

【図11】下部導電体膜12を真空蒸着法により形成する際の基板温度と密着力との関係を示すグラフである。

【符号の説明】

【0159】

10, 20, 30, 40 電子デバイス

11 基板

12 下部導電体膜

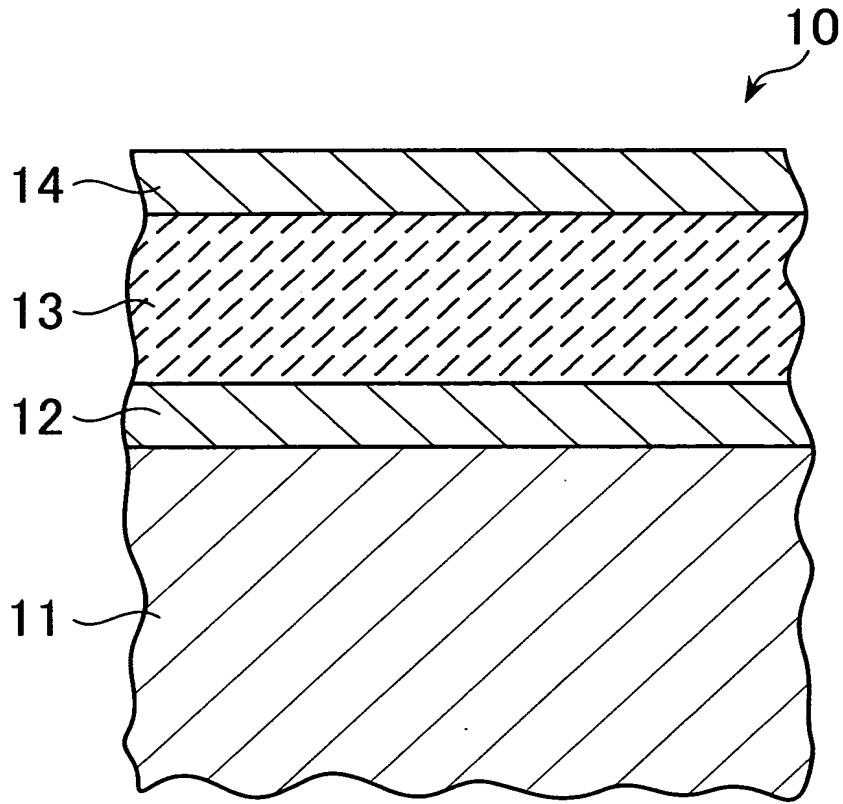
13 機能膜

14 上部導電体膜

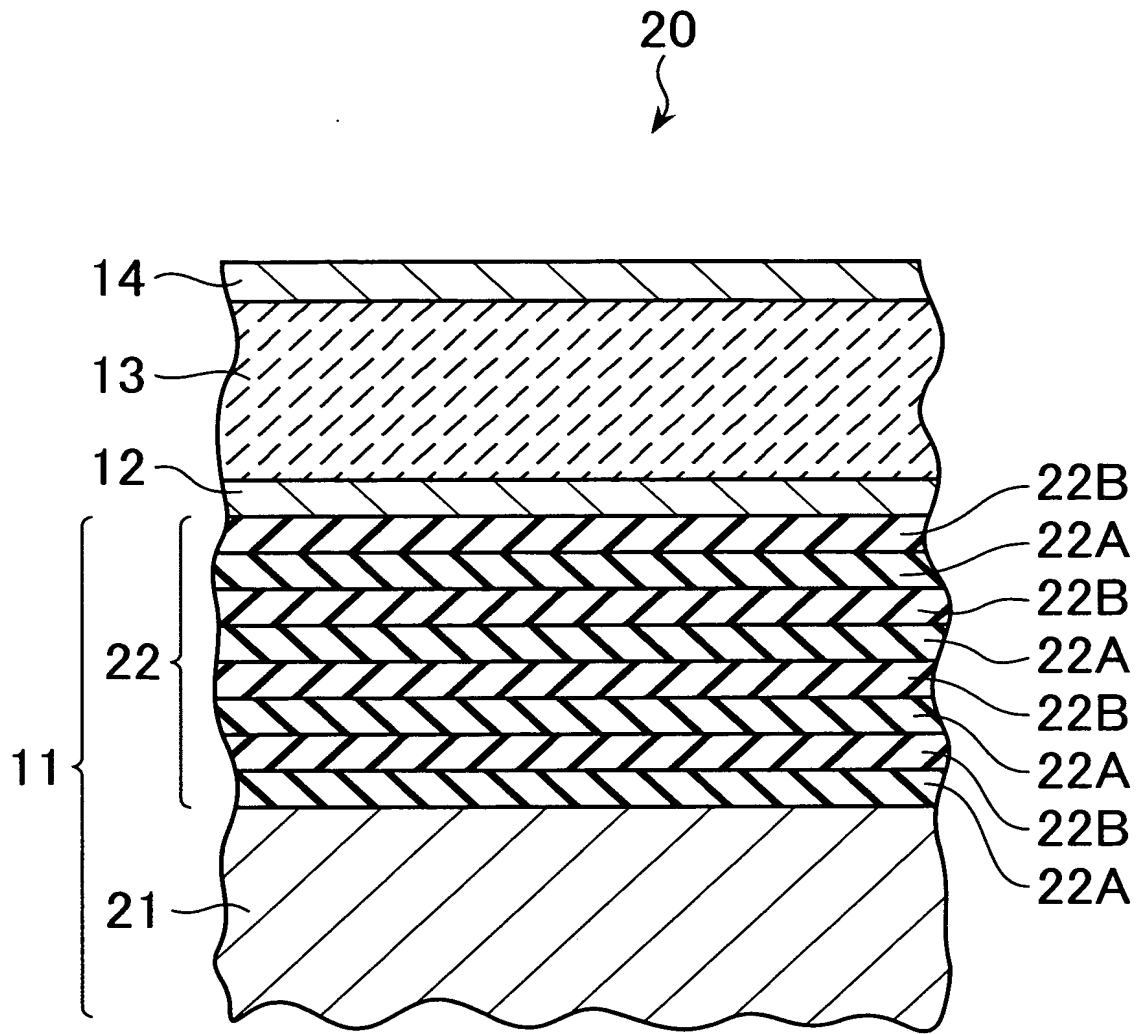
21, 41 基板本体

2 2 音響多層膜
2 2 A, 2 2 B 単位薄膜
3 1 密着配向制御薄膜
4 1 a ビアホール
4 1 基板本体
4 2 バッファ層

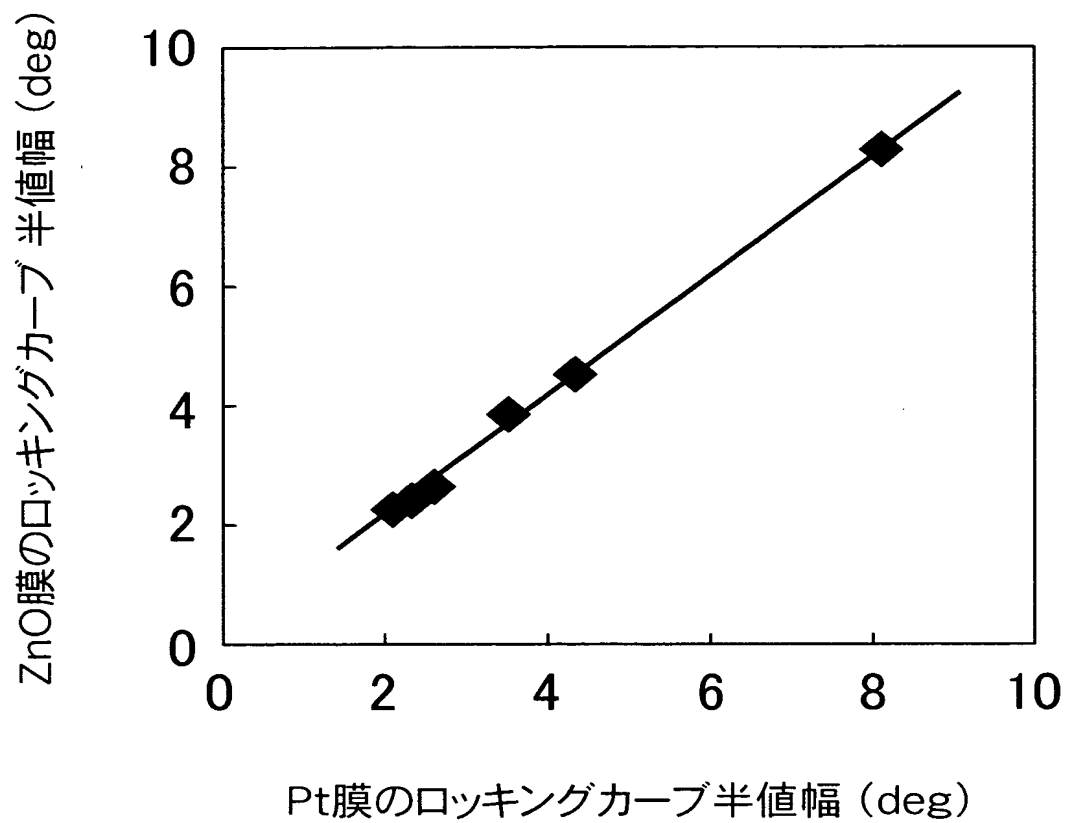
【書類名】 図面
【図 1】



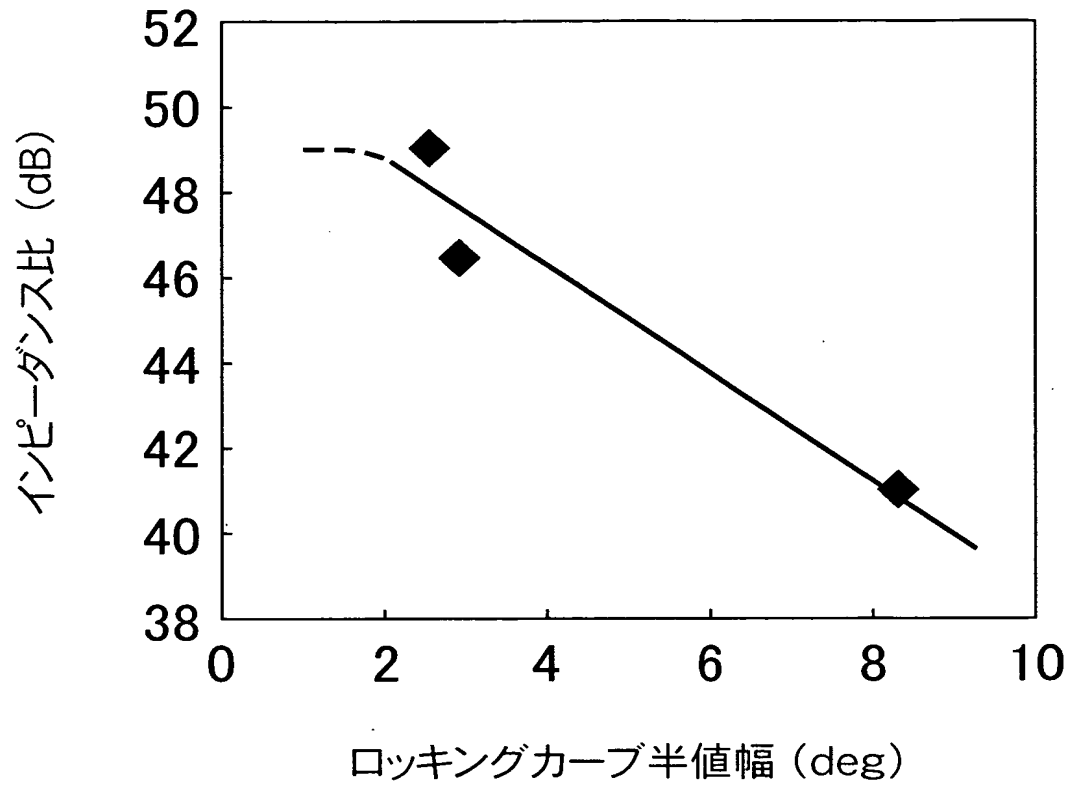
【図 2】



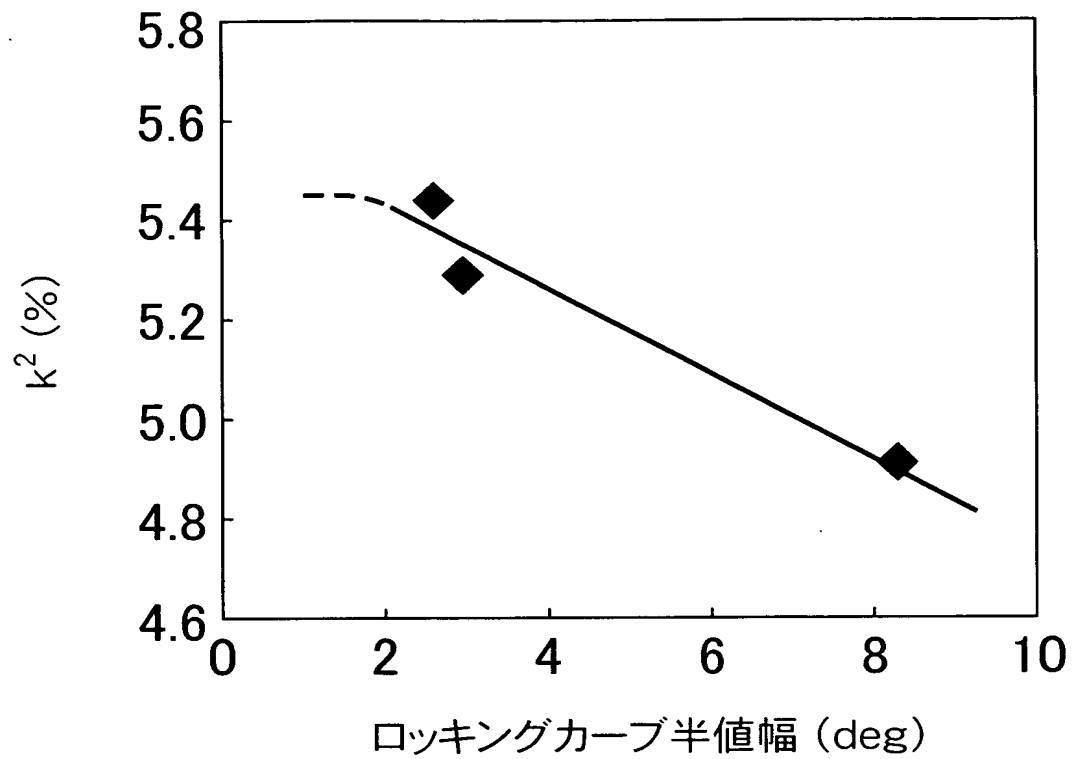
【図 3】



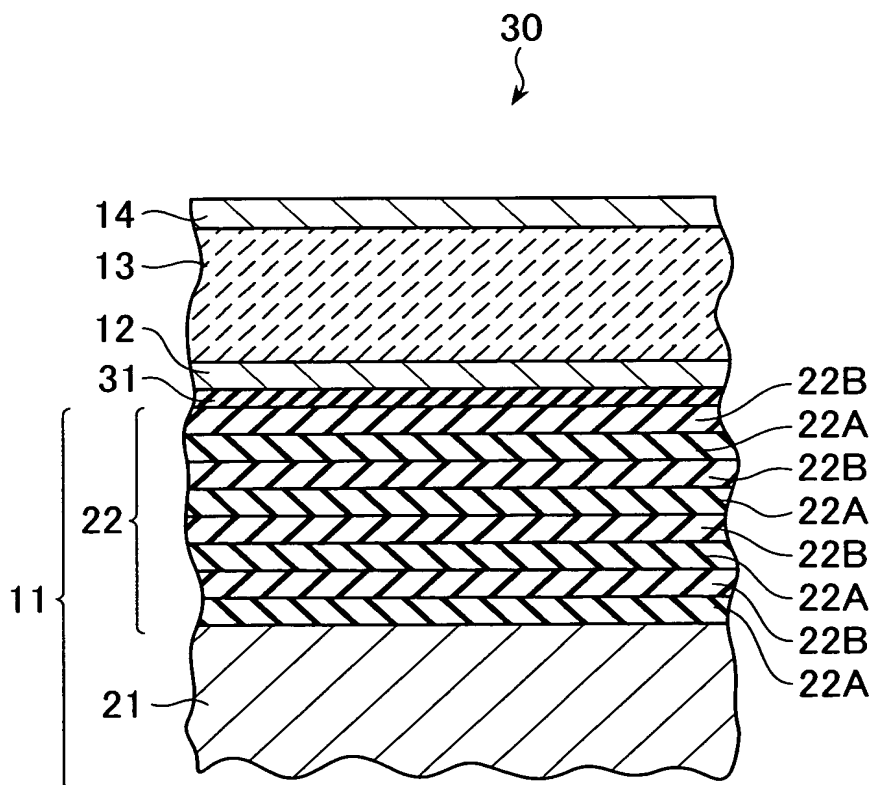
【図 4】



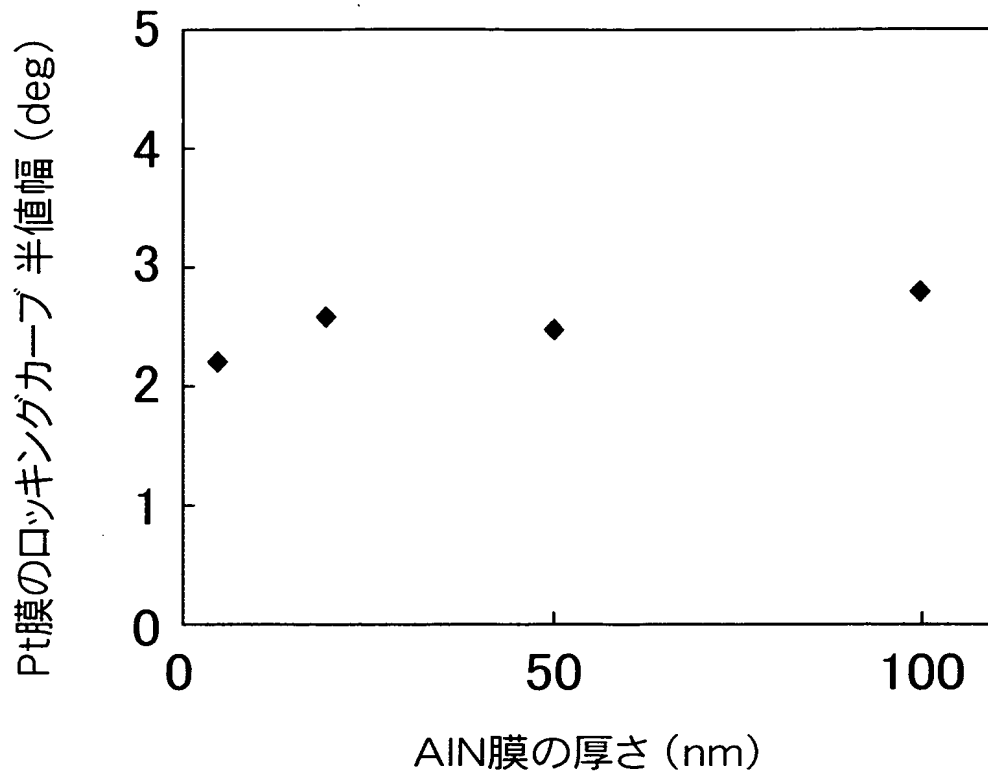
【図 5】



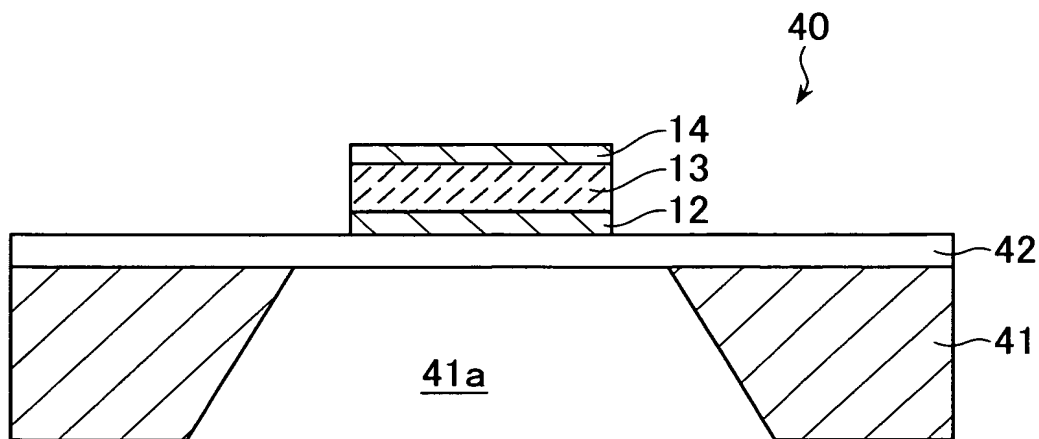
【図 6】



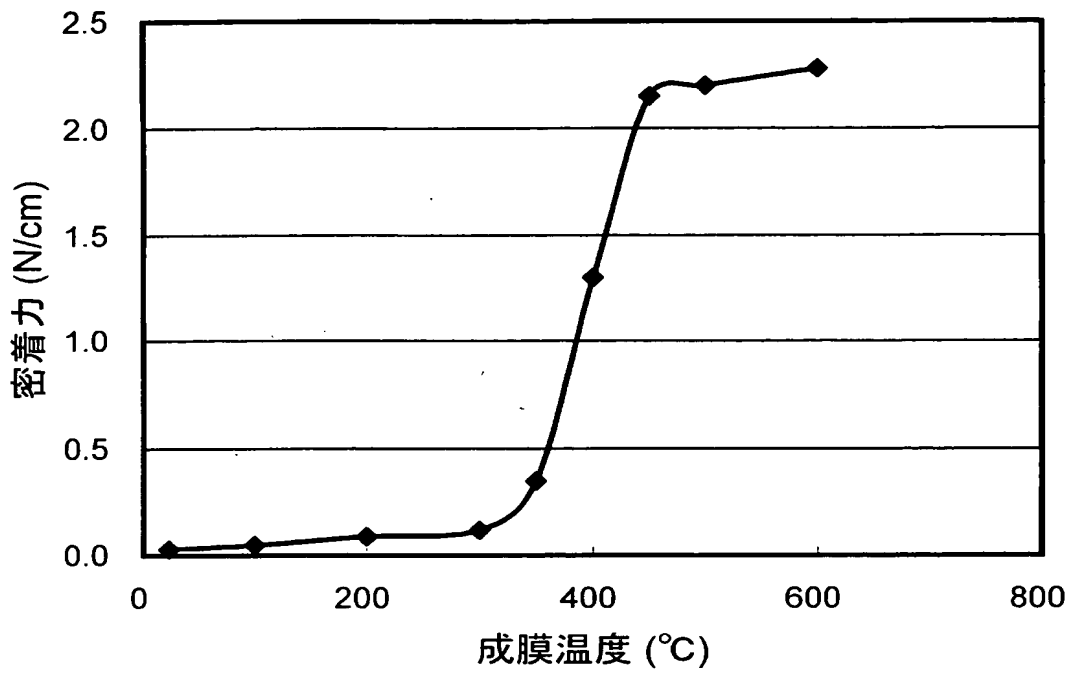
【図 7】



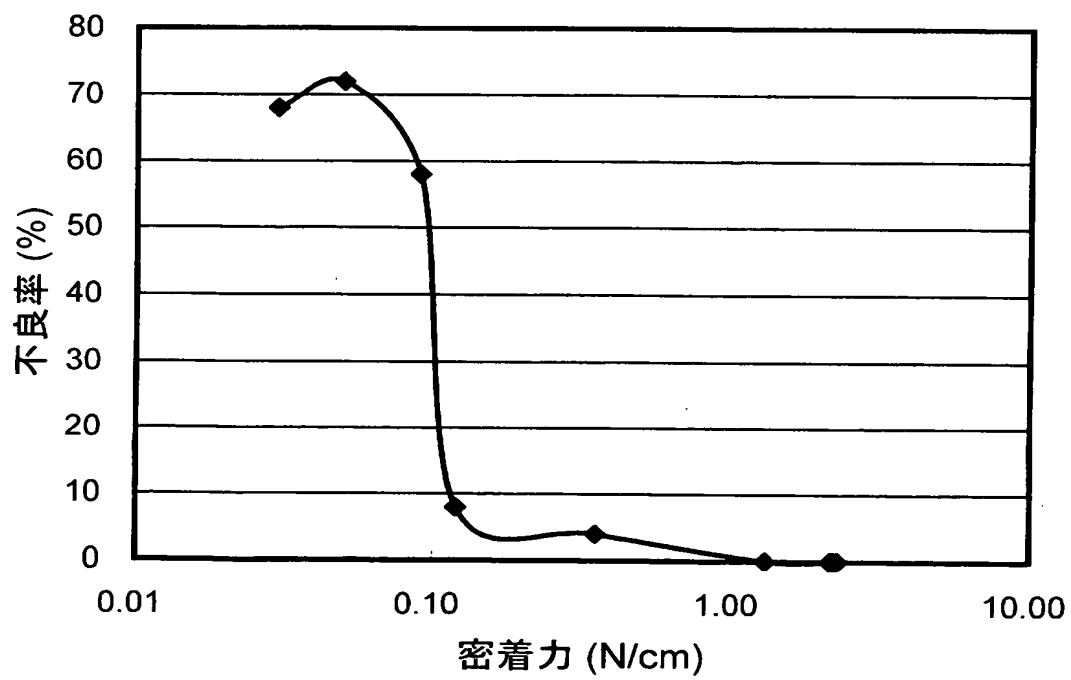
【図 8】



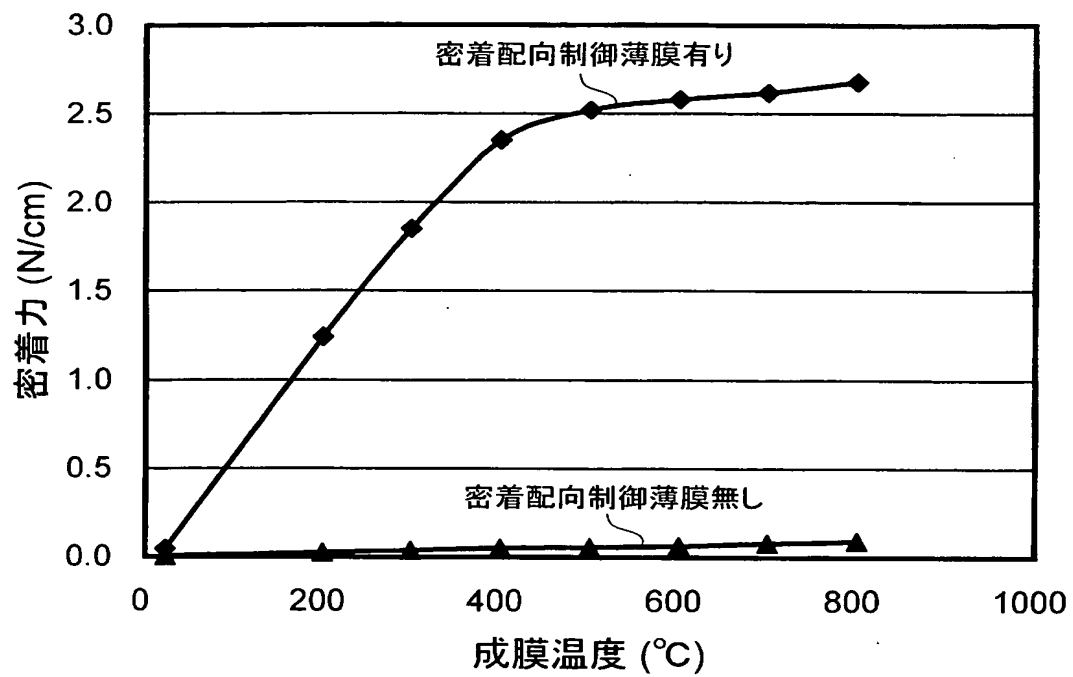
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 結晶性及び密着性がともに優れた下部導電体膜を有する電子デバイスを提供する。

【解決手段】 本発明による電子デバイスは、基板 11 と、基板 11 上に設けられた下部導電体膜 12 と、下部導電体膜 12 上に設けられた機能膜 13 とを備え、基板 11 側における下部導電体膜 12 の密着力が 0.1 N/cm 以上、好ましくは 1 N/cm 以上であることを特徴とする。下部導電体膜 12 の密着力が 0.1 N/cm 未満であると、電子デバイスの製造途中や完成後において下部導電体膜 12 に物理的な剥がれが生じるおそれがあるが、本発明によればこれを防止することが可能となる。特に、薄膜バルク振動子として用いる場合、下部導電体膜 12 とその下地との界面にて生じる微小な剥離がデバイス特性を著しく劣化させることがあるが、本発明によればこのような影響を効果的に抑制することが可能となる。

【選択図】

図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 6 9 8 3 7
受付番号	5 0 3 0 1 7 9 7 6 5 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 0 月 3 1 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 10 月 30 日

特願 2 0 0 3 - 3 6 9 8 3 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 6 7]

1. 変更年月日

2 0 0 3 年 6 月 2 7 日

[変更理由]

名称変更

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

T D K 株式会社